

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208871
(43)Dat. of publication of application : 28.07.2000

(51)Int.Cl. H01S 5/22
G02B 6/42
H01L 31/10

(21)Application number : 11-010527 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 19.01.1999 (72)Inventor : YAMADA MITSUSHI

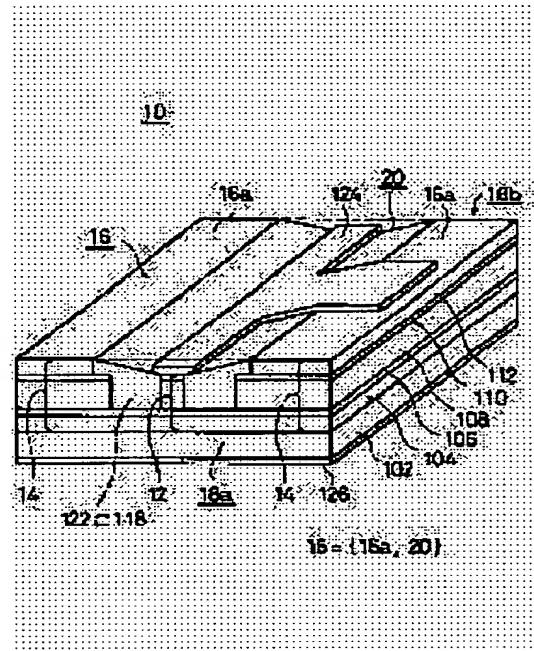
(54) WAVE-GUIDE TYPE OPTICAL DEVICE, ITS MANUFACTURE OPTICAL MODULE, AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wave-guide type optical device and an optical module which has a high yield and throughput, and provide further manufacturing methods of them.

SOLUTION: In an optical function element 10, an optical wave-guide 12 and a bumper structure 14 formed on a substrate 102 are of laminated structure and laminated in nearly the same direction, and the bumper structure 14 is installed higher than the optical wave-guide 12 on the substrate 102. A groove-shaped recess 20 is formed on the upper part of the optical wave-guide 12 on a device surface 16 due to a height difference between the bumper structure 14 and the optical wave-guide 12. The depth of the recess 20 is larger than the thickness of a part of an upper electrode 124 provided in the recess 20.

Therefore, the upper part 16a of the bumper structure 14 functions as a bumper, and an outer member is hardly brought into contact with a part of the upper electrode 124 provided in the recess 20. As a result, in the optical function element 10, an external force is restrained from being directly applied to the upper electrode 24 to cause stress to the optical wave-guide 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Pat nt numb r]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting app al against xaminer's]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-208871
(P2000-208871A)

(43)公開日 平成12年7月28日 (2000.7.28)

(51)Int.Cl.⁷
H 01 S 5/22
G 02 B 6/42
H 01 L 31/10

識別記号

F I
H 01 S 3/18
G 02 B 6/42
H 01 L 31/10テマコード(参考)
2 H 0 3 7
5 F 0 4 9
A 5 F 0 7 3

審査請求 未請求 請求項の数14 OL (全 16 頁)

(21)出願番号 特願平11-10527

(22)出願日 平成11年1月19日 (1999.1.19)

(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72)発明者 山田 光志
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内
(74)代理人 100095957
弁理士 龟谷 美明 (外2名)

最終頁に続く

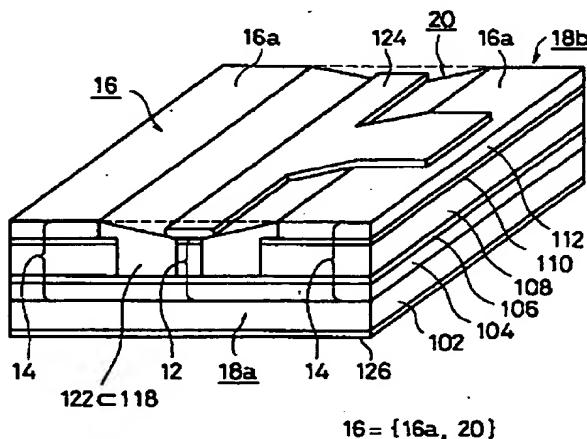
(54)【発明の名称】導波路型光素子、導波路型光素子の製造方法、光モジュール、及び光モジュールの製造方法

(57)【要約】

【課題】高歩留まり及び高スループットの導波路型光素子及び導波路型光素子の製造方法と光モジュール及び光モジュールの製造方法とを提供する。

【解決手段】光機能素子10において、基板102上に形成された光導波路12とバンパ構造14とは、ともに積層構造を有しており相互に略同一の積層方向を持つが、バンパ構造14の方が光導波路12よりも基板102上に高く立設されている。かかるバンパ構造14と光導波路12との高さの差により、素子表面16の光導波路12の上方部分に溝状の凹み20が形成される。かかる凹み20の深さは、上部電極124の凹み20に設置される部分の厚さより大きい。したがって、バンパ構造14の上方部分16aがバンパとして機能し、外部部材は、上部電極124の凹み20に設置される部分に接触し難くなる。結果として、光機能素子10においては、光導波路12に応力を発生させる上部電極124への直接的な外力印加が抑制される。

10



16 = {16a, 20}

【特許請求の範囲】

【請求項1】 光導波路を有する、導波路型光素子であつて：前記光導波路と垂直ではない少なくとも一の素子面には、前記光導波路が実質的に法線方向に位置する領域に、所定形状の凹みが形成されていることを特徴とする、導波路型光素子。

【請求項2】 前記凹みは、前記光導波路に沿つて形成される溝であることを特徴とする、請求項1に記載の導波路型光素子。

【請求項3】 前記光導波路は、前記凹みが形成された一の素子面の前記法線方向を実質的に積層方向とする積層型の光導波路であることを特徴とする、請求項1又は2に記載の導波路型光素子。

【請求項4】 前記凹みには、前記凹みの深さより小さな厚さの電極が設置されていることを特徴とする、請求項1、2又は3のいずれかに記載の導波路型光素子。

【請求項5】 前記光導波路は、基板の一の面上に形成されており；前記凹みの形成された一の素子面は、前記光導波路を基準として前記基板の対抗側に形成されている素子表面である；ことを特徴とする、請求項1、2、3又は4のいずれかに記載の導波路型光素子。

【請求項6】 前記基板の前記一の面上には、前記光導波路の積層方向と前記光導波路の進行方向とに実質的に垂直な方向から前記光導波路を挟み込み、前記一の面から前記光導波路より高く突出する、バンパ構造が形成されていることを特徴とする、請求項5に記載の導波路型光素子。

【請求項7】 前記バンパ構造は、前記光導波路と実質的に同一の構造に更に他の層構造を積層した構成を有することを特徴とする、請求項6に記載の導波路型光素子。

【請求項8】 前記光導波路は、リッジストライプ導波路であることを特徴とする、請求項1、2、3、4、5、6又は7のいずれかに記載の導波路型光素子。

【請求項9】 基板上に積層型の光導波路を形成する導波路形成工程を含む、導波路型光素子の製造方法であつて：前記導波路形成工程は；前記基板上に少なくとも光導波路を構成する各層を順次積層する、第1の工程と；前記光導波路を構成する各層上に、更に他の層構造を積層する、第2の工程と；前記他の層構造を部分的に除去することにより、前記光導波路の形成予定位の両側に、該両側の更に外側の他の層構造を残して、前記光導波路の最上層を構成する層を貫通する溝を形成する、第3の工程と；前記溝の底部を掘るとともに前記形成予定位の前記他の層構造を除去する、第4の工程と；を含むことを特徴とする、導波路型光素子の製造方法。

【請求項10】 前記第4の工程では、前記形成予定位の前記他の層構造の除去は、前記溝の底部を掘るエッチングでのサイドエッチングにより行われることを特徴とする、請求項9に記載の導波路型光素子の製造方法。

【請求項11】 少なくとも、光導波路を有する導波路型光素子と前記導波路型光素子が実装されるキャリアとを有する、光モジュールであつて：前記導波路型光素子は、実質的に前記光導波路と垂直ではなく、前記光導波路が実質的に法線方向に位置しない領域に前記光導波路が実質的に法線方向に位置する領域よりも突き出た実装基準部が形成されている、素子面を有し；前記キャリアは、前記実装基準部が突き当たられる、設置領域を有する；ことを特徴とする、光モジュール。

【請求項12】 前記導波路型光素子は、さらに、前記素子面の第2の領域に設置される素子側電極を有し；前記キャリアは、さらに、前記設置領域以外の領域に設置され、前記素子側電極に突き当たられて前記素子側電極と電気的に接続される、キャリア側電極を有し；前記第2の領域と前記実装基準部との高さの差は、前記素子側電極と前記キャリア側電極との厚さの和と、実質的に等しい；ことを特徴とする、請求項11に記載の光モジュール。

【請求項13】 少なくとも、光導波路を有する導波路型光素子をキャリアに実装する実装工程を含む、光モジュールの製造方法であつて：前記実装工程では；前記導波路型光素子の実質的に前記光導波路と垂直ではない素子面において、前記素子面の前記光導波路が実質的に法線方向に位置する第2の領域よりも突き出るよう、前記素子面の前記光導波路が実質的に法線方向に位置しない第1の領域に形成されている、実装基準部と；前記キャリアの設置領域と；を突き合わせるように、前記導波路型光素子を前記キャリアに実装することを特徴とする、光モジュールの製造方法。

【請求項14】 前記導波路型光素子は、更に、前記素子面の第2の領域に設置される、素子側電極を有し；前記キャリアは、更に、前記設置領域以外の領域に設置され、前記素子側電極と突き当たられて前記素子側電極と電気的に接続する、キャリア側電極を有し；前記第2の領域と前記実装基準部との高さの差は、前記素子側電極と前記キャリア側電極との厚さの和と、実質的に等しい；ことを特徴とする、請求項13に記載の光モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、導波路型光素子、導波路型光素子の製造方法、光モジュール、及び光モジュールの製造方法に関する。

【0002】

【従来の技術】従来、導波路型光素子には、”「高信頼性1.3μmリッジ導波路型MQWレーザ」、松本他、1993年電子情報通信学会（春）予稿集C-159、p.4-195”に開示されたものがある。本従来文献に開示された導波路型光素子は、メサストライプの両脇をポリイミドで埋め込んだ構成のMQWレーザである。

【0003】本従来文献の記載によれば、かかる構成を採用することで、導波路型光素子について、高温動作での駆動電流の特性劣化の抑制、量産性の向上、及び良好な特性が実現されている。

【0004】また、従来の光モジュールには、”「表面実装型WG-PIN-PDを用いた2.4Gb/s小型光受信モジュール」、M.Tachigori他、1997年電子情報通信学会(春)予稿集C-3-162、p.347”に開示されたものがある。本従来文献に開示された光モジュールでは、Siキャリアの電極上的一部にSiO₂膜がテラス状に成膜されている。さらに、本従来文献に開示された光モジュールでは、テラス状のSiO₂膜の表面とWG-PIN-PDの外縁部とを実装基準面として、WG-PIN-PDがSiキャリアに実装されている。

【0005】即ち、かかる従来の光モジュールにおいては、Siキャリア上に金属電極が形成され、更に、該金属電極の一部分にSiO₂がテラス状に形成されている。そして、該テラス状のSiO₂の上面をキャリア側の実装基準面として使用している。本従来文献の記載によれば、かかる構成を採用することで、光モジュールについて、サブμmオーダの実装精度が、安定して得られている。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の導波路型光素子においては、光導波路への電力供給のために、素子表面において光導波路の略直上に当たる部分に上部電極が設置される。従来の導波路型光素子では、略平坦な形状の素子表面に該上部電極を設置していたため、素子表面において上部電極が凸状に突出する構成となる。したがって、製造段階や検査段階で行われる素子表面に対する各種の機械的な操作によって、上部電極に外力が印加され易い。結果として、従来の導波路型光素子には、歩留まり向上や製品価格の低減等の点で、例えば以下に説明するような種々の課題が存在する。

【0007】例えば、通常の導波路型光素子の製造方法では、素子裏面への下部電極の形成前に、基板の厚さを調整する目的で、チップ化前の半導体ウェハに対して裏面研磨が行われる。一般に、半導体ウェハの裏面研磨は、ウェハ表面を研磨治具に接着し(通常はワックスが使用される。)，ウェハ裏面を露出させた状態で行われる。

【0008】かかるウェハ表面の研磨治具への接着に際して、ウェハ表面の最上面となる上部電極の上面は、直接研磨治具に接触する。結果として、上部電極に外力が印加され、光導波路に応力が集中的に生じることとなり、光導波路内部に傷や欠陥(例えば歪み)が生じる可能性がある。かかる応力の集中は、特に、光導波路に応力がかかり易い構造を持つリッジ導波路型光素子において、重大な問題となる。

【0009】さらに、通常の導波路型光素子の製造方法では、半導体ウェハを所定の位置で劈開し、劈開面に光導波路の切断面を表出させる。導波路型光素子の完成品においては、一般に、かかる切断面が光の入出力面として使用される。したがって、半導体ウェハの劈開面には、端面反射等を制御するために、例えば誘電体膜等をコーティングし、所定の反射率・透過率を持つ膜が形成される。かかるコーティングの際には、電極の導電不良を防止するために、電極への膜蒸着を防ぐ必要がある。

【0010】したがって、通常、かかるコーティングの際には、劈開面以外の部分(劈開後の半導体ウェハの上面及び裏面)を覆い隠し劈開面のみが露出する状態で、劈開後の半導体ウェハを固定治具に固定する。しかしながら、特に、リッジストライプ導波路が形成された半導体ウェハでは、ウェハ表面から凸状に突き出た上部電極の上面が、固定治具と直接接触するために、上部電極に外力が印加され、光導波路に直接応力がかかる。かかる応力は、上部電極の傷や光導波路内部の亀裂等を生じさせる可能性があり、導波路型光素子の歩留まりを低下させる。

【0011】さらにまた、通常の導波路型光素子の製造方法では、半導体ウェハを分離して導波路型光素子をチップ化した後に、素子裏面の下部電極にワイヤボンディングを行うために、導波路型光素子のチップをキャリアに搭載する必要がある。かかるキャリアへの搭載の際にには、真空吸着コレットでチップの素子表面を吸引し、チップの裏面をキャリアに押しつける。結果として、かかる工程においても、凸状に突き出た上部電極の上面に直接外力が印加されることとなり、上部電極の傷や光導波路内部の亀裂等を生じさせる可能性がある。

【0012】また、上記従来の光モジュールには、キャリアの電極上に別途実装基準用のSiO₂膜が形成される。かかるSiO₂膜等の突起状の実装用部材を形成すると、キャリア上の設置領域は、平行度が低下する。設置領域の平行度は実装精度に影響するため、従来の光モジュールは実装精度が低下しやすいといえる。

【0013】本発明は、従来の導波路型光素子が有する上記問題点に鑑みてなされたものであり、製造段階や検査段階において、光導波路に応力がかかる可能性が大幅に低減され、歩留まり及びスループットの向上が図られる、新規かつ改良された導波路型光素子及び導波路型光素子の製造方法を提供することである。さらにまた、本発明は、実装精度の高い、新規かつ改良された光モジュール及び光モジュールの製造方法を提供することである。

【0014】

【課題を解決するための手段】従来の導波路型光素子が有する上記課題を解決するために、請求項1に記載の発明は、光導波路を有する導波路型光素子であって、前記光導波路と垂直ではない少なくとも二の素子面には前記

光導波路が実質的に法線方向に位置する領域に所定形状の凹みが形成されている構成を採用する。

【0015】かかる構成を有する請求項1に記載の発明においては、凹みの周囲がバンパとして作用するため、凹みの底部に外部部材が接触し難くなる。特に、素子面と外部部材との接触面が凹みよりも十分大きい場合には、外部部材が凹み底部に直接接触する可能性は極めて小さくなる。したがって、請求項1に記載の発明においては、外部部材との接触により素子面に外力が印加されても、光導波路に対する該外力の作用が抑えられ、光導波路に応力が集中する可能性が低減される。

【0016】一般に、導波路型光素子の製造方法においては、チップ化前のウェハや導波路型光素子のチップ、或いは導波路型光素子が形成された光集積回路等に様々な機械的操作が行われる。かかる機械的操作の際には、例えば固定シートや固定治具或いはコレット等の外部部材により、導波路型光素子の所定の素子面に外力が印加される。また、導波路型光素子を光モジュールに適用する際には、所定の素子面が実装面として用いられて、該素子面がキャリアの設置面に張り合わせられる。かかる実装においては、該実装面に、外部部材との接触による外力が印加され易い。

【0017】上述のように、請求項1に記載の発明によれば、素子表面への外力印加に起因する光導波路での応力発生が抑制されるため、光導波路では例えば損傷や歪み等の内部欠陥が生じ難くなる。結果として、請求項1に記載の発明によれば、導波路型光素子の歩留まり及び製品強度の向上を図ることができ、廉価で信頼性の高い導波路型光素子の提供が可能となる。

【0018】さらに、請求項2に記載の発明は、前記凹みは、前記光導波路に沿って形成される溝である構成を採用する。かかる構成を有する請求項2に記載の発明は、例えば、ストライプ導波路が形成された導波路型光素子に適用することができる。ストライプ導波路は、通常素子表面に対して略平行な筋状の形状を有しており、横方向の光波閉じ込め効果が高いため、導波路型光素子に広く適用されている。かかるストライプ導波路を有する導波路型光素子に請求項2に記載の発明を適用すれば、溝が沿っている範囲に渡り光導波路の内部欠陥を抑制することができる。

【0019】さらにまた、請求項3に記載の発明は、前記光導波路は、前記凹みが形成された一の素子面の前記法線方向を実質的に積層方向とする積層型の光導波路である構成を採用する。積層型の光導波路は、積層方向（縦方向）の光波閉じ込め効果が高く、導波路型光素子に広く適用されている。特に能動型の導波路型光素子においては、例えば光発生や光増幅や光変調や光吸収等の様々な光処理を容易に実現できるため、相補型の半導体からなる第1のクラッド層と第2のクラッド層とによってコア層を挟んだ構成の接合構造を含む積層構造が採用

される。

【0020】しかし、積層型の光導波路は、構造上積層方向の力に弱く、積層方向の延長上に形成される素子面に外力が印加されると、両クラッド層とコア層とに大きな応力が生じ易い。したがって、積層型の導波路型光素子においては、光導波路での応力発生の抑制が、製品強度及び歩留まりの向上に効果的である。以上から、請求項3に記載の発明によれば、低損失で高効率の光処理が可能な導波路型光素子において、製品としての強度及び歩留まりの向上を図ることができる。

【0021】また、請求項4に記載の発明は、前記凹みには、前記凹みの深さより小さな厚さの電極が設置されている構成を採用する。特に能動型の導波路型光素子においては、光導波路のコアを伝搬する光波に所定の光処理を施すために、所定の素子面に、コアへの電界印加用又は電流注入用の電極が設置される。請求項4に記載の発明においては、素子表面において、凹みの周囲がバンパとして機能するために、かかる電極への外部部材の接触を抑制できる。したがって、電極を介した該素子面への外力の印加が抑制され、光導波路での応力発生を大幅に低減することができる。

【0022】尚、電極が設置される導波路型光素子には、例えば、半導体基板上に下側クラッド層とコア層と上側クラッド層とオーミックコンタクト層とが順次積み重ねられた構成の積層型の光導波路を適用することができる。該構成の導波路型光素子には、通常、半導体基板の下面（下側クラッド層との境界面に對抗する面）とオーミックコンタクト層の上面（上側クラッド層との境界面に對抗する面）とに独立に電極が設置される。そして、設置された電極への外部からの電力供給により、コア層における種々の光処理が実現される。

【0023】請求項5に記載の発明は、前記光導波路は、基板の一の面上に形成されており、前記凹みの形成された一の素子面は、前記光導波路を基準として前記基板の対抗側に形成されている素子表面である構成を採用する。積層型の光導波路を有する導波路型光素子の製造時には、光導波路の材料を基板上に順次成長させる結晶成長工程が行われる。請求項5に記載の発明は、かかる工程で使用される基板が除去されずに残されている構成の導波路型光素子に関する。尚、かかる工程での結晶成長には、各種エピタキシ法を適用することが好適である。

【0024】さらに、請求項6に記載の発明は、前記基板の前記一の面上には、前記光導波路の積層方向と前記光導波路の進行方向とに実質的に垂直な方向から前記光導波路を挿み込み、前記一の面から前記光導波路より高く突出する、バンパ構造が形成されている構成を採用する。かかる構成を有する請求項6に記載の発明においては、バンパ構造と光導波路との一の面を基準とした高さの差を利用して、素子表面に凹みを形成することができ

る。

【0025】さらにまた、請求項7に記載の発明は、前記バンパ構造は、前記光導波路と実質的に同一の構造に更に他の層構造を積層した構成を有する構成を採用する。かかる構成を有する請求項7に記載の発明は、光導波路の形成工程を利用して、バンパ構造を形成することができる。したがって、必要以上に製造工程数の増加を招かず、製品強度及び歩留まりの向上を図ることができる廉価かつ高信頼性の導波路型光素子の提供が可能となる。

【0026】また、請求項8に記載の発明は、前記光導波路は、リッジストライプ導波路である構成を採用する。積層型のストライプ導波路には、種々の形状のものがあるが、その一つがリッジストライプ導波路である。リッジストライプ導波路は、コア層の上側に配される各層がリッジ状(歛状、凸状)のストライプ形状(以下、「リッジチャネル」という。)に形成されている積層型のストライプ導波路である。

【0027】リッジストライプ導波路は、例えば、上述した下側クラッド層とコア層と上側クラッド層とオーミックコンタクト層とが順次積み重ねられた構成において、上側クラッド層とオーミックコンタクト層とからリッジチャネルを形成することによって、実現される。

【0028】一般に、埋め込みヘテロ(Buried-Hetero:BH)構造を初めとする埋め込みストライプ導波路と比較した場合、リッジストライプ導波路は、必要な結晶成長の回数が少なくかつ簡単に導波路構造を形成することができる。また、リッジストライプ導波路は、電気的容量の低減が比較的容易である。したがって、リッジストライプ導波路は、低価格と高速動作とが要求される導波路型光素子に、非常に適している。

【0029】しかし、リッジストライプ導波路は、構造上光導波路に極めて応力がかかりやすい。したがって、請求項8に記載の発明を適用してリッジストライプ導波路での応力発生を抑制すれば、低価格と高速動作と製品強度及び歩留まりの向上とが実現された導波路型光素子を提供することができる。

【0030】また、従来の導波路型光素子の製造方法が有する上記課題を解決するために、請求項9に記載の発明は、基板上に積層型の光導波路を形成する導波路形成工程を含む導波路型光素子の製造方法であって、前記導波路形成工程は、前記基板上に少なくとも光導波路を構成する各層を順次積層する、第1の工程と、前記光導波路を構成する各層上に、更に他の層構造を積層する、第2の工程と、前記他の層構造を部分的に除去することにより、前記光導波路の形成予定位置の両側に、該両側の更に外側の他の層構造を残して、前記光導波路の最上層を構成する層を貫通する溝を形成する、第3の工程と、前記溝の底部を掘るとともに前記形成予定位置の前記他の層構造を除去する、第4の工程と、を含む構成を採用

する。

【0031】かかる構成を有する請求項9に記載の発明において、第4の工程では、形成予定位置の他の層構造は除去されるが、更に外側の他の層構造は除去されない。したがって、第4の工程の終了時には、形成予定位置の積層体の両側に、所定の間隔を開けて、該積層体よりも高い他の積層体が形成される。ここで、形成予定位置の積層体から光導波路を形成し、他の積層体からバンパ構造を形成すれば、請求項7に記載の導波路型光素子を製造することが可能となる。結果として、請求項9に記載の発明によれば、スループットが上昇し、歩留まりが高く廉価な導波路型光素子の製造が可能となる。

【0032】さらに、請求項10は、前記第4の工程では、前記形成予定位置の前記他の層構造の除去は、前記溝の底部を掘るエッチングでのサイドエッチングにより行われる構成を採用する。かかる構成を有する請求項10に記載の発明においては、第4の工程における形成予定位置の他の層構造の除去と溝の底部の堀りとを一の処理で実施することができる。したがって、請求項10に記載の発明によれば、製造工程数を増加させずに、歩留まりが高く廉価な導波路型光素子の製造が可能となる。

【0033】また、従来の光モジュールが有する上記課題を解決するために、請求項11に記載の発明は、少なくとも、光導波路を有する導波路型光素子と前記導波路型光素子が実装されるキャリアとを有する、光モジュールであって、前記導波路型光素子は、実質的に前記光導波路と垂直ではなく、前記光導波路が実質的に法線方向に位置しない領域に前記光導波路が実質的に法線方向に位置する領域よりも突き出た実装基準部が形成されている、素子面を有し、前記キャリアは、前記実装基準部が突き当たられる設置領域を有する、構成を採用する。

【0034】かかる構成を有する請求項11に記載の発明では、導波路型光素子側に実装基準部を形成することにより、キャリア側の設置領域には突出する実装用部材を形成する必要がなくなる。したがって、請求項11に記載の発明では、キャリアの設置領域の平行度を極めて高く保つことができる。

【0035】結果として、請求項11に記載の発明において、導波路型光素子の実装基準部の面精度を高めれば、光モジュールにおける実装精度を容易に高めることができる。尚、導波路型光素子の実装基準部は、例えば、結晶成長プロセス等により形成すれば、面精度を高めることができる。

【0036】また、多数の導波路型光素子が実装される光モジュールでは、キャリアの設置領域に一々実装用突起部材を形成すると、キャリアの製造工程が複雑化するとともに導波路型光素子の設計変更への柔軟な対応が困難となる。上述のように請求項11に記載の発明においては、キャリアの設置領域には実装用部材を形成する必要がない。したがって、請求項11に記載の発明を適用

すれば、キャリアの製造の簡素化と導波路型光素子の設計変更への柔軟な対応とが期待できる。

【0037】結果として、請求項11に記載の発明によれば、実装精度及び設計変更への対応の自由度が高く、キャリアの製造が容易な光モジュールを提供することができる。なお、請求項11に記載の発明には、請求項1～8に記載の発明にかかる導波路型光素子を適用することができる。したがって、請求項11に記載の発明によれば、光モジュールの歩留まり向上及び価格低減をも実現できる。

【0038】さらに、請求項11に記載の発明において、請求項12に記載の発明のように、前記導波路型光素子は、前記素子面の第2の領域に設置される素子側電極を有し、前記キャリアは、前記設置領域以外の領域に設置され、前記素子側電極に突き当たられて前記素子側電極と電気的に接続される、キャリア側電極を有し、前記第2の領域と前記実装基準部との高さの差は、前記素子側電極と前記キャリア側電極との厚さの和と、実質的に等しい構成を採用することが好適である。かかる構成では導波路型光素子のキャリアへの固定と素子電極－キャリア電極間の電気的接続とを同時に実現することができる。

【0039】また、従来の光モジュールの製造方法が有する上記課題を解決するために、請求項13に記載の発明は、少なくとも、光導波路を有する導波路型光素子をキャリアに実装する実装工程を含む、光モジュールの製造方法であって、前記実装工程では、前記導波路型光素子の実質的に前記光導波路と垂直ではない素子面において、前記素子面の前記光導波路が実質的に法線方向に位置する第2の領域よりも突き出るように、前記素子面の前記光導波路が実質的に法線方向に位置しない第1の領域に形成されている、実装基準部と、前記キャリアの設置領域と、を突き合わせるように、前記導波路型光素子を前記キャリアに実装する構成を採用する。かかる構成の請求項13によれば、請求項11に記載の光モジュールを製造することができる。したがって、実装精度の高い光モジュールを製造することができる。

【0040】さらに、請求項14に記載の発明は、前記導波路型光素子は、更に、前記素子面の第2の領域に設置される、素子側電極を有し、前記キャリアは、更に、前記設置領域以外の領域に設置され、前記素子側電極と突き当たられて前記素子側電極と電気的に接続する、キャリア側電極を有し、前記第2の領域と前記実装基準部との高さの差は、前記素子側電極と前記キャリア側電極との厚さの和と、実質的に等しい構成を採用する。かかる構成を有する請求項14に記載の発明によれば、請求項12に記載の光モジュールを製造することができる。

【0041】

【発明の実施の形態】以下、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。

尚、以下の説明及び添付図面において、略同一の機能及び構成を有する構成要素については、同一符号を付することにより、重複説明を省略する。

【0042】(第1の実施の形態)まず、図1～図13を参照しながら、第1の実施の形態について、主に光機能素子10を例に挙げて説明する。なお、図1は、光機能素子10の概略構成を示す斜視図であり、図2～図8は、本実施の形態にかかる製造方法についての説明図である。さらに、図9は、本実施の形態に関する実験結果についての説明図であり、図10～図13は、光機能素子10以外の本実施の形態にかかる導波路型光素子(例示である。)の概略構成を示す斜視図である。

【0043】(1)光機能素子10の概略構成
図1に示すように、本実施の形態にかかる光機能素子10は、基板102上に1つの光導波路12と2つのバンパ構造14とが形成された構成を有する。かかる光機能素子10において、光導波路12とバンパ構造14とは相互に略同一の積層方向を持つ積層構造体であり、バンパ構造14の方が光導波路12よりも基板102上に高く立設される。

【0044】光機能素子10においては、以上のようにバンパ構造14と光導波路12とに高さの差が設けられることにより、素子表面16の光導波路12の上方部分に本実施の形態にかかる溝状の凹み20が形成される。さらに、光機能素子10において、凹み20の深さは、上部電極124の凹み20に設置される部分の厚さより大きい。したがって、素子表面16側から光機能素子10に接触する物体は、素子表面16のバンパ構造14の上方部分16aに接触し、上部電極124の凹み20に設置される部分には接触し難い。結果として、光機能素子10においては、光導波路12に応力を発生させる上部電極124への直接的な外力印加が抑制される。

【0045】(2)本実施の形態にかかる製造方法及び光機能素子10の詳細な構成
以上説明した概略構成を有する光機能素子10は、例えば、以下に説明する本実施の形態にかかる製造方法によって、製造することができる。ここで、本実施の形態にかかる製造方法は、例えば、以下に説明する8つの製造工程に大別することができる。

【0046】(2-a)結晶成長工程

本実施の形態にかかる製造方法において、最初の工程は、第1及び第2の工程に相当する図2に示す結晶成長工程である。本工程では、第1導電型の基板102上に、第1導電型の下側クラッド層104と光ガイド層106と第2導電型の上側クラッド層108と第2導電型のオーミックコンタクト層110とキャップ層112とを順次結晶成長させて、ウェハ100を形成する。

【0047】ここで、各層の成長には、良好な電気特性及び良好な光学特性を得るために、エピタキシャル成長を用いることが好適である。本工程では、例えば成長さ

せる層の材料及び組成や形成する素子の種類或いは製造コスト等の様々な条件を考慮し、各種のエピタキシ法から適切なものを選択して用いることが可能である。尚、エピタキシ法は、一般に、分子線エピタキシ法、気相エピタキシ法、液相エピタキシ法、及び固相エピタキシ法に大別される。

【0048】本工程についてより詳細に説明すると、まず、例えばn-InPから成る基板102の上面に、例えばn-InPの結晶を成長させて、所定の厚さT1の下側クラッド層104を形成する。次いで、下側クラッド層104の上面に、例えばundoped InGaAsPの結晶を成長させて、所定の厚さT2の光ガイド層106を形成する。さらに、光ガイド層106の上面に、例えばp-InPの結晶を成長させて、所定の厚さT3の上側クラッド層108を形成する。

【0049】さらにまた、かかる上側クラッド層108の上面に、例えばp+-InGaAsの結晶を成長させて、所定の厚さT4のオーミックコンタクト層110を形成する。さらに、オーミックコンタクト層110の上面に、例えばp-InPの結晶を成長させて、所定の厚さT5のキャップ層112を形成する。結果として、図2に示すウェハ100が形成される。

【0050】ここで、ウェハ100の各層の厚さは、例えば材料及び組成や形成する素子の種類或いは製造コスト等の様々な条件を考慮して、適切な組み合わせにすることが可能である。具体的には、例えば、T1(下側クラッド層104)が1μmでありT2(光ガイド層106)が0.2μmでありT3(上側クラッド層108)が1μmでありT4(オーミックコンタクト層110)が0.2μmでありT5(キャップ層112)が1μmである組み合わせが可能である。

【0051】(2-b) エッティングマスク形成工程
本製造方法において、2番目の工程は、図3に示すエッティングマスク形成工程である。本工程では、ウェハ100の表面26(即ち、キャップ層112の上面)に、所定の間隔W_sで第1マスク114aと第2マスク114bとを形成する。ここで、第1マスク114aは、ウェハ100の表面26側から光導波路12(図1)の形成予定位位置22を覆うように、所望のリッジ幅W_aで、ストライプ状に形成される。また、第2マスクは、ウェハ100の表面26側からバンパ構造14(図1)の形成予定位位置24を覆うように、第1マスク114aの幅W_aよりも十分大きな幅W_bで、ストライプ状に形成される。

【0052】尚、本実施の形態において、第1マスク114aと第2マスク114bとの形成は、例えば、フォトリソグラフィにより誘電体膜をパターンニングして、実施することができる。また、本工程においては、第1マスク114aの幅W_aを例えば約3μmとし、第1マスク114aと第2マスク114bとの間隔W_sを例え

ば約10μmとすることが可能である。

【0053】(2-c) 第1のメサ形成工程

本製造方法において、3番目の工程は、第3の工程に相当する図4に示す第1のメサ形成工程である。本工程では、第1マスク114aと第2マスク114bとから成るマスクパターンを用いて、ウェハ100に対して第1のエッティングを施す。本工程において、第1のエッティングは、いわゆるメサエッティングであり、ウェハ100の表面26が露出した部分に対し、主としてウェハ100の深さ方向を進行方向として、少なくともオーミックコンタクト層110を貫通する深さまで行われる。

【0054】結果として、形成予定位位置22の両側それには、少なくとも上側クラッド層108まで達する溝116が形成され、また、形成予定位位置22には、メサ状の積層体32が形成される。尚、本工程において、第1のエッティングとしては、例えばドライエッティングを適用することができる。本工程に適用可能なドライエッティングには、例えば、塩素(C1)とアルゴン(Ar)との混合ガスを用いたプラズマエッティングがある。

【0055】(2-d) 第2のメサ形成工程

本製造方法において、4番目の工程は、第4の工程に相当する図5に示す第2のメサ形成工程である。本工程では、ウェハ100に対して、溝116の下方の上側クラッド層108と積層体32のキャップ層112とを除去するために、第2のエッティングを施す。

【0056】本工程において、第2のエッティングでは、サイドエッティングによって、溝116側部のキャップ層112が横方向からエッティングされる。ウェハ100において、第2マスク114bの幅W_bは、該サイドエッティングのエッティング量より十分大きく形成されているが、第1マスク114aの幅W_aは、該サイドエッティングのエッティング量に比べて小さく形成されている。したがって、該サイドエッティングが進行すると、形成予定位位置24のキャップ層112は完全には除去されないが、積層体32のキャップ層112は両横方向からエッティングされて最終的に除去される。

【0057】この様に積層体32のキャップ層112が除去されると、積層体32上に形成された第1マスク114aもリフトオフにより除去される。故に、形成予定位位置22の両側に光ガイド層106の上面まで達する溝部118が形成されると同時に、形成予定位位置22に上側クラッド層108とオーミックコンタクト層110とから構成されるメサストライプ42が形成される。

【0058】結果として、ウェハ100には、かかるメサストライプ42とメサストライプ42下方の光ガイド層106及び下側クラッド層104とから、光導波路12が形成される。同時に、ウェハ100には、溝部118を隔てて光導波路12と並び、下側クラッド層104と光ガイド層106と上側クラッド層108とオーミックコンタクト層110とキャップ層112とから構成さ

れる、本実施の形態にかかるパンパ構造14が形成される。

【0059】尚、本工程においては、第2のエッチングとして、例えば、ウェットエッチングを適用することができる。本製造方法においてキャップ層112が上述のようにInPから形成される場合、第2のエッチングに適用可能なウェットエッチングには、例えば、塩酸(HClaq)を含む液や臭化水素(HBr)と酢酸(CH₃COOH)との混合液のように、InPのみをエッチングする溶液を用いることができる。

【0060】(2-e) 埋め込み工程

本製造方法において、5番目の工程は、図6に示す埋め込み工程である。本工程では、第2マスク114bを全て除去した後、ウェハ100全体に電気的絶縁材料をコーティングして、所定の厚さT6のパッシベーション膜120を形成し、更に、溝部118に埋め込み層122を形成する。結果的に、本工程では、ウェハ100の光導波路12の上方に、本実施の形態にかかる凹み20が形成される。

【0061】ウェハ100では、パッシベーション膜120によって、光導波路12の光ガイド層106が外部から電気的に保護される。また、ウェハ100では、埋め込み層122によって光導波路12の変形等が防止される。結果的に、本製造方法において、最終的にウェハ100から切り出される光機能素子10(図1)について、安定した高温動作や信頼性の向上等が実現される。

【0062】尚、本実施の形態において、パッシベーション膜120の厚さT6は、例えば0.2μmとすることができます。また、パッシベーション膜120は、例えば所定の誘電体から形成することができる。さらに、埋め込み層122は、例えばポリイミドから形成することができます。

【0063】(2-f) 上部電極形成工程

本製造方法において、6番目の工程は、図7に示す上部電極形成工程である。本工程では、メサストライプ42上(即ち凹み20底部)に、パッシベーション膜120を除去した後に所定の厚さT7の上部電極124を形成する。かかる上部電極124の形成によって、光導波路12では、オーミックコンタクト層110を介した上側クラッド層108への電力供給が可能となる。

【0064】ここで、本実施の形態において、上部電極124の厚さT7は、該厚さT7と溝部118底面からのメサストライプ32の高さ(T3+T4)との和(T3+T4+T7)が、パッシベーション膜120の厚さT6と溝部118底面からのパンパ構造14の高さ(T3+T4+T5)との和(T3+T4+T5+T6)に比べて、小さいか若しくは等しくなるように設定される。本実施の形態においては、上述したT1~T6の数値例を採用した場合、上部電極124の厚さT7を、例えば約0.5~5μmとすることができる。

【0065】(2-g) 下部電極形成工程

本製造方法において、7番目の工程は、図8に示す下部電極形成工程である。本工程では、基板102を所望の厚さとするために基板102の裏面を研磨し、研磨後の該裏面に、上部電極124と反対の極性を有する下部電極126を形成する。かかる下部電極126の形成によって、基板102を介した下側クラッド層104への電力供給が可能になる。

【0066】尚、本実施の形態において、上述のウェハ100の材料構成を採用する場合には、オーミック接触を得るために、上部電極124の極性をp型として下部電極126の極性をn型とすることが好適である。

【0067】本製造工程においては、以上説明した7工程を経て、光導波路12の光ガイド層106において、電流注入や電界の印加による例えば電場や磁場或いは温度等の物理的なパラメータの変化が実現可能となり、光導波路12の所定の光処理機能が実現される。

【0068】(2-h) 製品化工程

本製造工程において、8番目の工程は、製品化工程である。本工程では、まず、ウェハ100を所望の長さで短冊状に劈開して、素子群が並列に配されたバーウェハ(図示せず。)を形成する(劈開工程)。次に、バーウェハの露出した劈開面に所定の端面処理を施して(端面処理工程)，その後にバーウェハをチップ化する(チップ化工程)。最後に、上部電極124及び下部電極126を相互に独立に電力供給手段(図示せず。)と接続する(接続工程)。

【0069】より詳細に本工程について説明すると以下のようになる。まず、本工程の劈開工程では、最初に、ウェハ100に、所定の結晶方向に沿って引っかき傷をつけておく。次に、薄くて弛なるシート状のものでウェハ100をサンドイッチし、劈開したい場所にのみ応力を掛ける。このとき、引っかき傷を始点として結晶方向にウェハ100が割れる。これを、繰り返すことで、半導体ウェハは短冊状に劈開されて、バーウェハ(図示せず。)が形成される。

【0070】次に、本工程の端面処理工程では、バーウェハの一方の劈開面に、所望の反射率を有する膜を形成し、バーウェハの他方の劈開面にも、適切な反射率を有する膜を形成する。次に、チップ化工程では、例えばダイシングにより、バーウェハから、図1に示す本実施の形態にかかる光機能素子10を一個一個のチップに分離する。次の接続工程では、以上説明したように形成された光機能素子10を、キャリアに搭載して下部電極126を電力供給手段(図示せず。)と接続して、上部電極124に金属ワイヤ(リード線)をボンディングする。

【0071】(3) 光機能素子10の動作

次に、以上のように形成された本実施の形態にかかる光機能素子10の動作について、図1を参照しながら説明する。光機能素子10の動作時には、上部電極124と

下部電極126との間に所定のバイアス電圧を印加することにより、光導波路12の光ガイド層106での光波閉じ込め効果及び所定の光処理機能が実現される。

【0072】また、バイアス電圧と同時に上部電極124と上部電極126との間に所定の電気信号を印加すれば、光導波路12の光ガイド層106に所定の変化が生じる。したがって、光導波路12を伝搬する光波は、光ガイド層106に該変化に対応した所定の処理を施されて、光機能素子100の第1劈開面18a又は第2劈開面18bに表出している光導波路12の端面から出力される。

【0073】ここで、発明者が行った、本実施の形態にかかる製造方法の第1のメサ形成工程(2-c)及び第2のメサ形成工程(2-d)についての実験結果を説明する。本実験において、発明者は、第1のエッチャングとして、塩素とアルゴンの混合ガスを用いた反応性イオンエッチャング(Reactive Ion Etching; RIE)により、深さ約1.5μmのエッチャングを行った。また、本実験において、発明者は、第2のエッチャングとして、約5℃に冷やした臭化水素(HBr)と酢酸(CH₃COOH)との1:1混合液を用いる約3分間のエッチャングを行った。本実験において、エッチャングの底面は、光ガイド層まで完全に到達した。また、このとき、幅3μmのメサストライプのキャップ層60は、左右両方向からエッチャングされて、誘電体マスク14aごと除去された。

【0074】図9には、本実験の結果を説明するため、臭化水素(HBr)と酢酸(CH₃COOH)のエッチャングレートを示す。図9によれば、横方向のエッチャング(サイドエッチャング)のエッチャング量は約1分15秒で1.5μmに達しており、従って、幅3μmのメサストライプのキャップ層は約1分15秒程度で除去される。

【0075】(4) 本実施の形態の効果

以上説明したように、本実施の形態にかかる光機能素子10においては、溝部118の底面は光ガイド層106の直上と一致している。したがって、素子表面16において、光が導波する光導波路12上方部分の光ガイド層106からの高さは、例えば上述の数値例によれば、1μm(上側グラッド層108)+0.2μm(オーミックコンタクト層110)+0.5μm(凹み20に設置された上部電極124)=約1.7μmである。

【0076】一方、素子表面16において、バンパ層構造14の上方部分16aの光ガイド層106からの高さは、例えば上述の数値例によれば、1μm(上側グラッド層108)+0.2μm(オーミックコンタクト層110)+1μm(キャップ層112)+0.2μm(パッシバーション膜120)=2.4μm程度である。したがって、素子表面16では、バンパ構造14の上方部分16aの方が凹み20の底部(光導波路12の上方部

分)に設置される上部電極124よりも高く突き出していることがわかる。

【0077】結果として、光機能素子10では、凹み20の幅、即ち光導波路12の幅(例えば3μm)と溝の幅(例えば2×10μm)との合計(例えば23μm)よりも大きい物体は、バンパ構造14によって遮られて、上部電極124に直接接触することはできない。

【0078】通常、半導体光機能素子チップをキャリアにボンディングするときに用いるチップ吸引装置の先端部は、100μm以上の直径を持っている。また、それ以外の物、例えば端面コーティングの際に、半導体チップやバーウェハを固定する治具は、半導体チップとの接触面が通常100μm²以上の平坦な面である。したがって、製品化工程において、チップ吸引装置の先端部や治具の面等は、上部電極124に直接接触することはない。

【0079】即ち、本実施の形態においては、ウェハを劈開して導波路端面を形成する劈開工程においては、ウェハ上面にあてがわれる物(例えば透明なシートなど)が直接メサストライプに接触せず、劈開工程で露出する端面に透明なシートが削り取られた片が付着しない。結果として、本実施の形態によれば、劈開工程における歩留まり劣化を低減することができる。

【0080】また、本実施の形態においては、研磨工程・端面膜形成工程および組立工程・検査工程におけるチップボンディング時のチップの着脱・搬送・キャリアへの固定などを行う場合において、上部電極やリッジ導波路自体に応力を与えずに済む。したがって、それらの工程においてチップの特性・信頼性を損なうことが無くなると共に、歩留まり劣化を抑制することができる。

【0081】また、本実施の形態にかかる導波路型光素子の製造方法では、第2のメサ形成工程で、メサストライプ上のエッチャングマスクは自動的にリフトオフされる。従って、従来の製造方法におけるエッチャングマスクを除去する工程は省かれる。つまり、プロセスの工程が簡略化される。

【0082】結果として、本実施の形態によれば、チップのスループット向上に適した導波路型光素子の構造を提供し、製造に関わるコストを大幅に低減することができる。

【0083】(5) 本実施の形態にかかる他の導波路型光素子及び他の導波路型光素子の製造方法

なお、本実施の形態は、図1に示す光機能素子100以外にも、図10に示す光機能素子10aや図11に示す光機能素子10b或いは図12に示す光機能素子10cや図13に示す光機能素子10d等にも適用することができる。ここで、図10に示す光機能素子10aと図11に示す光機能素子10bとは、本実施の形態にかかる他のリッジ導波路型光素子である。また、図12に示す光機能素子10cと図13に示す光機能素子10dと

は、本実施の形態にかかる埋め込み導波路型光素子である。

【0084】(5-a) 光機能素子10a

図10に示す光機能素子10aは、図1に示す光機能素子10に類似する構成を有するが、図1に示す光機能素子10とは凹み20の形状が相違する。即ち、図10に示すように、光機能素子10aにおいて、素子表面16上でみた場合の凹み20の形状は、素子表面16において、光導波路12上方部分とバンパ構造14のボンディング部124a下方に配される部分の一部とを覆う、凸形状とされている。光機能素子10aでは、凹み20が凸形状とされることにより、凸形状の上部電極124が凹み20内に完全に収容される。

【0085】尚、ボンディング部とは、上部電極において、金属ワイヤがボンディング接続される部分である。かかるボンディング部は、ワイヤボンディング時に外力や熱等が印加されるため、通常は、光導波路上方部分に配置されず光導波路上方部分から側方に張り出すように形成される。

【0086】本実施の形態にかかる製造方法によって光機能素子10aを製造するには、例えば、図3に示すマスク形成工程(2-b)で形成予定位置24上方に第2マスク114bを部分的に抜いた形状で形成し、図4に示す第1のメサ形成工程で溝116(2-c)を形成するとともに形成予定位置24のキャップ層26も部分的にエッティングすれば良い。また、例えば、凹み20のボンディング部124a下方部分を他の工程で形成しても良い。

【0087】(5-b) 光機能素子10b

図11に示す光機能素子10bは、図10に示す光機能素子10aに類似する構成を有するが、図10に示す光機能素子10aとは溝部118の深さが相違する。即ち、図11に示すように、光機能素子10bにおいては、溝部118が光ガイド層108を貫通し下側クラッド層106まで達している。かかる構成の光機能素子10bでは、光導波路12の光ガイド層106が両側から埋め込み層122によって挟み込まれる。したがって、光機能素子10bは、図10に示す光機能素子10aよりも、光ガイド層106への光波閉じ込め効果を高めることができあり、従って、本実施の形態を曲がり導波路を有する光機能素子に適用する際に有用である。

【0088】本実施の形態にかかる製造方法によって光機能素子10bを製造するには、例えば、図5に示す第2のメサ形成工程(2-d)で第2のエッティングを下側クラッド層106に届く深さまで実施すればよい。

【0089】(5-c) 光機能素子10c及び光機能素子10d

図12に示す光機能素子10c及び図13に示す光機能素子10dは、上述のように、本実施の形態にかかる埋め込み導波路型光素子である。光機能素子10c又は光

機能素子10dを製造可能な本実施の形態にかかる製造方法について簡単に説明すると、以下のようになる。

【0090】まず、本製造方法では、基板102'上に光ガイド層106'を含む所望の積層構造を成長させる(第1の結晶成長工程)。次に、第1の結晶成長工程で形成されたウェハに、エッティングマスクを形成して、メサエッティングを行う(メサエッティング工程)。次に、メサエッティング工程で形成されたメサの両脇を、他の半導体層で埋め込む(第2の結晶成長工程)。次に、エッティングマスクを除去した後、上側クラッド層108'及びオーミックコンタクト層110'と更にキャップ層112'を順次成長させて、ウェハ全体を平坦化する(第3の結晶成長工程)。

【0091】次に、光ガイド層106'の上方部分において、エッティングで、例えば幅20μmのキャップ層112'を除去することによりオーミックコンタクト層110'を露出させるとともに、上部電極のボンディング部が形成される領域のキャップ層112'を除去した構造にする(キャップ層のエッティング工程)。さらに、通常の電極形成工程等の所定の工程を経て、図12に示す光機能素子10cが製造される。また、図13に示す光機能素子10dは、図12に示す光機能素子10cに、更に、光ガイド層106'の両脇に溝部118'を形成し、溝部118'に埋め込み層122'を形成することにより、製造される。

【0092】ここで、光機能素子10c又は光機能素子10dを製造可能な本実施の形態にかかる製造方法においては、埋め込み型の光導波路12'の形成は、図5に示すリッジ型の光導波路12の形成と同様に、メサ形成工程において、光ガイド層106'上のキャップ層112'を横方向からのエッティングにより除去することで行われる。光機能素子10c及び光機能素子10dにおいても、図1に示す光機能素子10と類似の動作及び効果を得ることができることは、当業者であれば容易に理解できる。

【0093】(第2の実施の形態) 次に、第2の実施の形態について、図14及び図15を参照しながら説明する。尚、図14は、本実施の形態にかかる光モジュール及び光モジュールの製造方法についての説明図であり、図15は、本実施の形態にかかる他の光モジュール及び光モジュールの製造方法についての説明図である。図14及び図15に示すように、本実施の形態にかかる光モジュールは、上記第1の実施の形態にかかる他の導波路型光素子である光機能素子10eをキャリア200a, 200bに実装して製造される。

【0094】ここで、光機能素子10eは、図10に示す光機能素子10aと類似する構成を有するが、下部電極126の代わりに素子表面16に他の上部電極126'が形成されている点が図10に示す光機能素子10aと大きく相違する。光機能素子10eにおいて、かか

る他の上部電極126'は、バンパ構造14を介して下側クラッド層104に電気的に接続される。かかる光機能素子10eには、上部電極124と他の上部電極126'が短絡しないように、溝部150が形成されている。

【0095】本実施の形態にかかる光モジュールの製造方法において、光機能素子10eのキャリア20への実装では、光機能素子10e側の基準面を、素子表面16に形成されるバンパ構造14の上方部分16a(実装基準部に相当する。)の上面に設定する。そして、該上方部分16aの上面とキャリア200a, 200bの基準面(キャリア200a, 200b上面に設定される。設置領域に相当する。)とを突き合わせることにより、光機能素子10eのキャリア200a, 200bへの垂直方向の位置決めが行われる。

【0096】ここで、本実施の形態にかかる光モジュールにおいては、バンパ構造14の上方部分16aの高さに対して、上部電極124上面及び他の上部電極126'上面の高さが低く設定されている。そして、かかる上方部分16aと上部電極124上面及び他の上部電極126'上面との高さの差が、キャリア200a, 200b上面に形成された電極ストライプ202の厚さと、ほぼ等しくされている。ここで、上部電極124及び他の上部電極126'は、素子側電極に相当する。また、電極ストライプ202は、キャリア側電極に相当する。

【0097】本実施の形態を適用可能な具体的な数値例を挙げて、光機能素子10eのキャリア200a, 200bへの実装を説明すると、実装される光機能素子10eでは、上部電極124(p側の極性を持つ。)上面及び他の上部電極126'(n側の極性を持つ。)上面の高さが、バンパ構造14上面の高さに対して、例えば約0.5μm低く設定されている。また、キャリア200a, 200b上面に形成された電極ストライプ202の厚さは、例えば約0.5μmに設定されている。

【0098】そして、光機能素子10eの上部電極124及び他の上部電極126'をキャリア200a, 200b上の電極ストライプ202とが相互に対向するように水平方向の位置決めが行われて、バンパ構造14の上方部分16aとキャリア200a, 200bの基準面とを突き合わせることにより、光機能素子10eがキャリア200a, 200bに実装される。

【0099】図14及び図15は、本実装の形態にかかる光モジュール及び光モジュールの製造方法についての模式的な説明図を示す。図14において、キャリア200aには、例えば半導体レーザや受光素子(P h o t o D i o d e; P D)等の一つの導波路端面から光の入出力が行われる構成の導波路型光素子に対応したものが使用されている。また、図15においては、キャリア200bには、例えば光増幅器や光変調器用の二つの導波路端面から光の入出力が行われる導波路型光素子に対応

したもののが使用されている。図14及び図15において、キャリア200a, 200b上に形成されているV溝204は、光ファイバを嵌合固定するためのものである。

【0100】尚、本実施の形態においては、キャリア200a, 200bは、板面に適切な溝加工と電極のパターン形成とを施したSiウェハから所望のサイズに切断したものを用いることができる。

【0101】以上説明したように、本実施の形態においては、上記第1の実施の形態にかかる導波路型光素子のバンパ構造の上方部分が、導波路型光素子側の実装基準面とされている。したがって、本実施の形態においては、キャリアの電極上に更に実装基準用部材を形成する必要がなく、キャリア上には金属電極のみを形成するだけで済む。結果として、本実施の形態によれば、光モジュールの製造工程数が減少し、コストが削減された光モジュールの製造方法と廉価な光モジュールとを提供することができる。

【0102】また、本実施の形態においては、キャリア表面の平行度は極めて高い。さらに、上記第1の実施の形態にかかる導波路型光素子のバンパ構造は、半導体結晶成長の面精度が極めて高い。したがって、キャリア上面と半導体光機能素子のバンパ構造とを、実装基準面として使用することにより、高い水平面の平行度、垂直方向の位置精度を実現することができる。

【0103】以上、本発明の好適な実施の形態について、添付図面を参照しながら説明したが、本発明はかかる構成に限定されない。特許請求の範囲に記載された技術的思想の範囲において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の技術的範囲に属するものと了解される。

【0104】例えば、上記実施の形態においては、InP及びInGaAs(P)を半導体結晶材料として適用した導波路型光素子及びその製造方法と光モジュール及びその製造方法とを例に挙げて説明したが、本発明はかかる構成に限定されない。また、上記実施の形態においては、InPからなる基板を適用した導波路型光素子及びその製造方法と光モジュール及びその製造方法とを例に挙げて説明したが、本発明はかかる構成に限定されない。

【0105】さらに、上記実施の形態においては、下側クラッド層、上側クラッド層及びキャップ層が2元結晶からなりオーミックコンタクト層が3元混晶又は4元混晶からなる導波路型光素子であって、製造工程において第2のエッティングにおいて2元結晶のみをエッティングする溶液を用いて光導波路のキャップ層が除去されるものを例に挙げて説明したが、本発明はかかる構成に限定されない。本発明においては、構成要素の材料に特別な制限は存在せず、従って、本発明は、他の様々な半導体結晶

晶材料及び半導体基板を適用した導波路型光素子及びその製造方法と光モジュール及びその製造方法に対しても適用することができる。

【0106】さらに、上記実施の形態においては、各構成部材の組成や寸法等を例示して導波路型光素子についての説明を行ったが、本発明はかかる構成に限定されない。本発明は、他の様々な組成や寸法の構成部材から構成された導波路型光素子に対しても適用することができる。

【0107】また、本発明においては、基板結晶の面方位、あるいは、メサストライプの形成方向も限定されない。つまり、リッジストライプの形状については、上記実施の形態では、ほぼ垂直な形状にリッジストライプが形成された導波路型光素子及びその製造方法と光モジュール及びその製造方法とを例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な形状、例えば逆メサ形状あるいは順メサ形状等のリッジストライプが形成された導波路型光素子及びその製造方法と光モジュール及びその製造方法とに対しても適用することができる。したがって、本発明においては、リッジストライプの形成に適用するエッチング方法も、何等限定されるものではない。

【0108】さらに、上記実施の形態においては、効果の面から考えて好適な様としてリッジ導波路型光素子を主な例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な導波路型光素子、例えばB H導波路型光素子やリップ導波路型光素子、或いは各種のプレーナ導波路型光素子等に対しても適用することができる。

【0109】なお、上記実施の形態において、導波路型光素子の種類については特に言及しなかったが、様々な導波路型光素子、例えば、光変調器、半導体レーザ、光増幅器、波長変換器、光フィルタ、フォトダイオード、光スポットサイズ変換器、フォトカプラ、モード変換器若しくはLED等、或いはそれらを適当な組み合わせで同一基板上に集積化した素子等に対しても適用することができる。

【0110】また、上記実施の形態においては特に言及しなかったが、本発明は、様々な光導波路、例えば、バルク型光導波路や单一・多重両量子井戸型光導波路、或いは歪み量子井戸型光導波路等を適用した導波路型光素子及びその製造方法と光モジュール及びその製造方法とに対しても適用することができる。

【0111】さらに、上記実施の形態においては特に言及しなかったが、導波路型光素子をキャリアに実装する際の容易性を考慮して、予めキャリアとウエハに位置決め用の合わせパターンを形成することが望ましい。

【0112】

【発明の効果】以上説明したように、本発明によれば、導波路型光素子の製品強度と評価・組立工程における歩

留まりとを向上することができる。また、本発明によれば、導波路型光素子の実装コストを低減することができる。さらに、本発明によれば、光モジュールの実装精度を高めることができる。さらにまた、本発明によれば、光モジュールの価格低減と実装精度の向上による歩留まり及び動作信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明を適用可能な光機能素子の概略構成を示す見取図である。

【図2】図1に示す光機能素子の一製造工程についての説明図である。

【図3】図1に示す光機能素子の他の製造工程についての説明図である。

【図4】図1に示す光機能素子の他の製造工程についての説明図である。

【図5】図1に示す光機能素子の他の製造工程についての説明図である。

【図6】図1に示す光機能素子の他の製造工程についての説明図である。

【図7】図1に示す光機能素子の他の製造工程についての説明図である。

【図8】図1に示す光機能素子の他の製造工程についての説明図である。

【図9】本発明を適用可能な製造方法に関する実験結果の説明図である。

【図10】本発明を適用可能な他の光機能素子の概略構成を示す見取図である。

【図11】本発明を適用可能な他の光機能素子の概略構成を示す見取図である。

【図12】本発明を適用可能な他の光機能素子の概略構成を示す見取図である。

【図13】本発明を適用可能な他の光機能素子の概略構成を示す見取図である。

【図14】本発明を適用可能な光モジュール及び光モジュールの製造方法についての説明図である。

【図15】本発明を適用可能な他の光モジュール及び光モジュールの製造方法についての説明図である。

【符号の説明】

1 0	光機能素子
1 2	光導波路
1 4	バンパ構造
1 6	素子表面
1 6 a	上方部分
2 0	凹み
1 0 2	基板
1 0 4	下側クラッド層
1 0 6	コア層
1 0 8	上側クラッド層
1 1 0	オーミックコンタクト層
1 1 2	キャップ層

22, 24
116
118

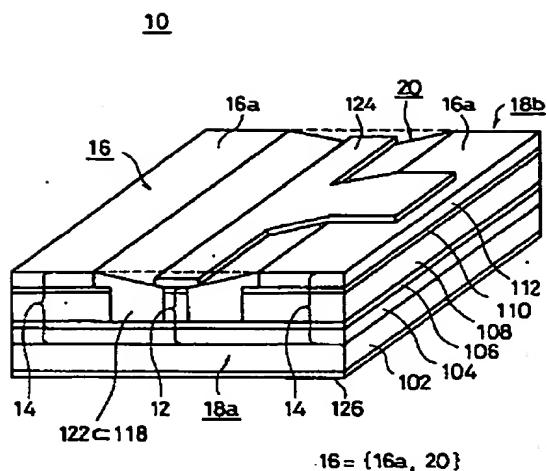
形成予定位置
溝
溝部

124, 126
200a, 200b

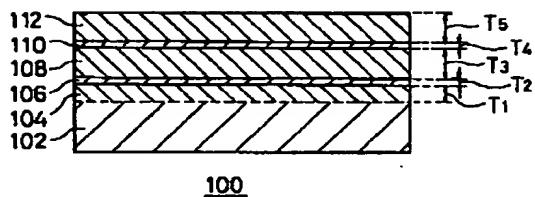
上部電極

キャリア

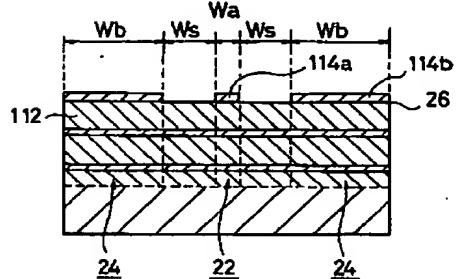
【図1】



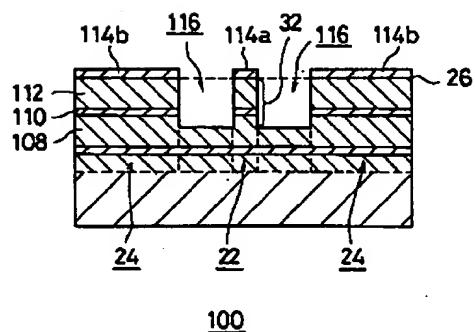
【図2】



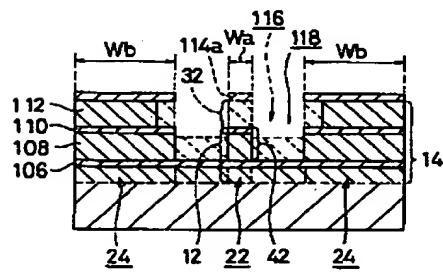
【図3】



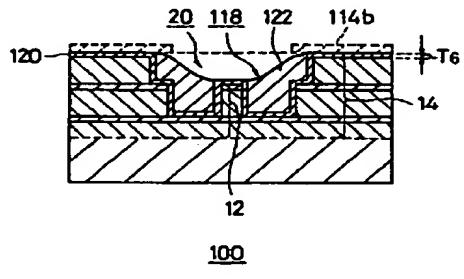
【図4】



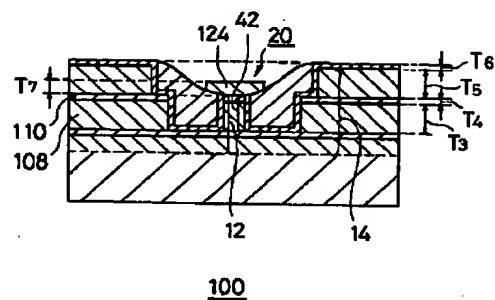
【図5】



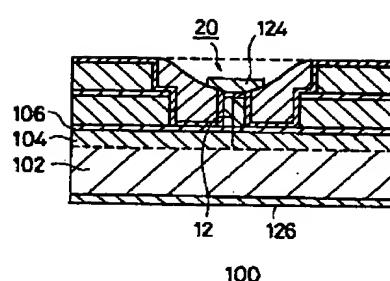
【図6】



【図7】

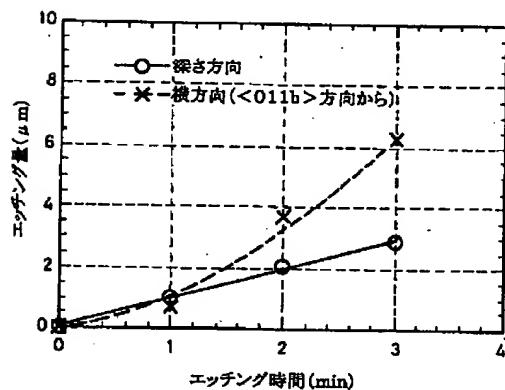


【図8】

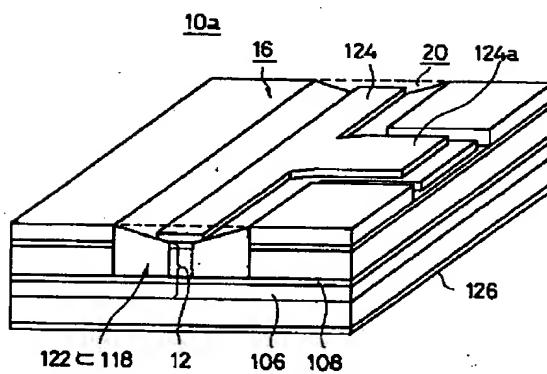


【図9】

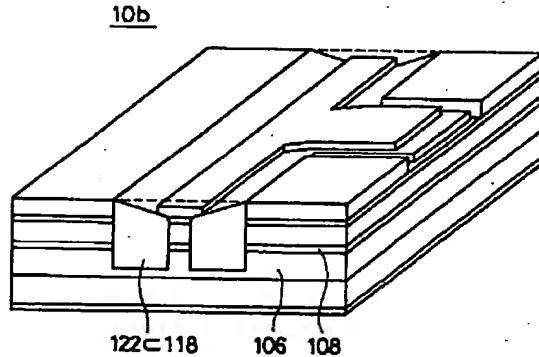
第2のエッティング実験のエッティングレーント



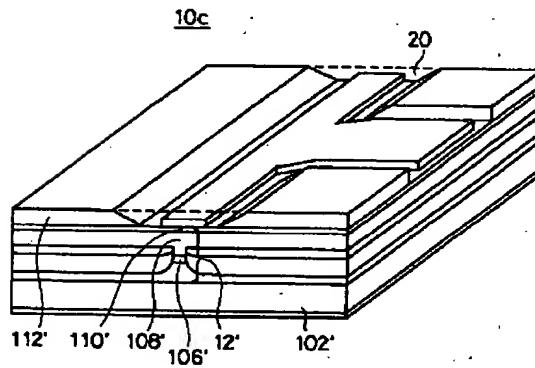
【図10】



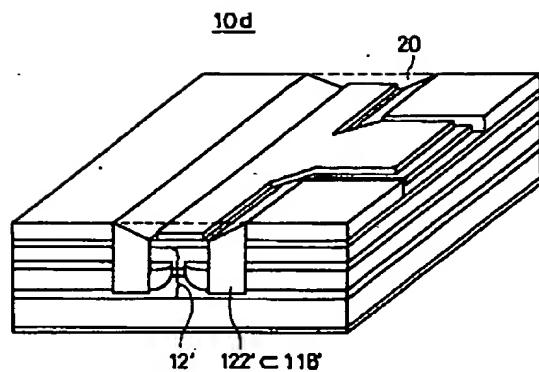
【図11】



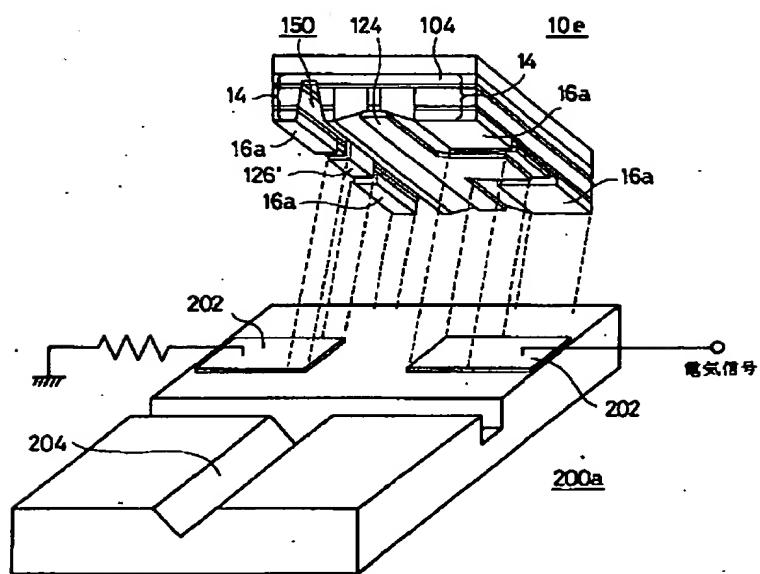
【図12】



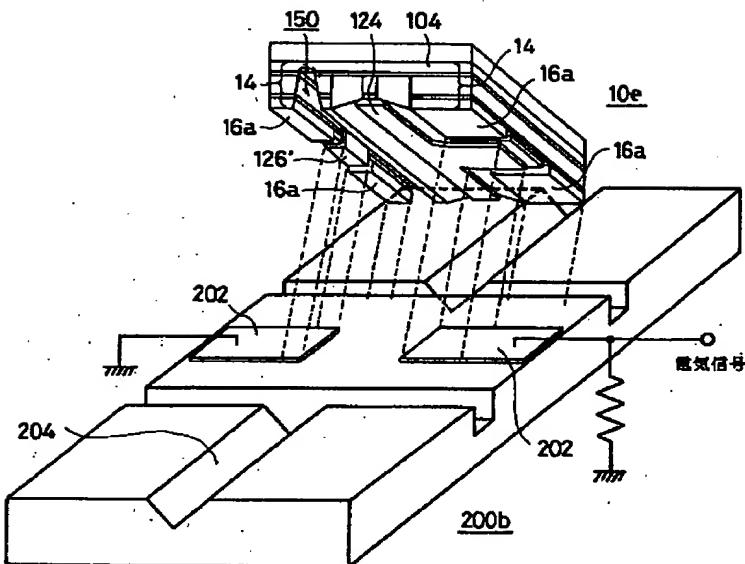
【図13】



【図14】



【図15】



フロントページの続き

F ターム(参考) 2H037 AA01 BA02 BA11 DA03 DA04
DA06 DA12 DA17
5F049 MA04 MB07 NA08 NA18 PA14
QA02 QA08 RA07 SE11 SS04
5F073 AA11 AA22 AB15 AB21 AB28
CA12 CB02 CB10 DA05 DA06
DA23 DA24 EA29 FA07